

# 基于比特重排的减少机顶盒芯片 DDR 接口 SSN 的方法

梁 骏<sup>1</sup>, 叶剑兵<sup>2</sup>, 王洪海<sup>2</sup>, 张 明<sup>1</sup>

(1. 浙江大学信息与通信工程研究所, 浙江杭州 310027; 2. 杭州国芯科技股份有限公司, 浙江杭州 310027)

**摘要:** 封装电感引起的 SSN (Simultaneous Switching Noise, 同步开关噪声) 效应阻碍低成本 QFP (Quad Flat Package, 四方型扁平式封装) 封装的机顶盒芯片的 DDR SDRAM (Double Data Rate Static Random Access Memory, 双速率静态随机访问存储器, DDR) 接口的传输频率. 本文利用视频数据的相关性, 及 DDR 颗粒的数据比特可以任意交换的特点, 提出对 DDR 接口数据进行数据比特重排的方法来降低 SSN 效应. 视频解码器使用到的数据在二维空间上高度相关. 在 DDR 接口版图设计时将高比特位的数据与低比特位的数据在空间上交错放置, 可使得 DDR 接口的电流分布更加平衡, 减少通过封装寄生电感的平均电流, 最终减少 SSN. 本文提出的方法成功用于台积电 55nm 工艺高清机顶盒芯片的设计. QFP 封装的样片的 DDR 接口传输速率达到 1066Mbps.

**关键词:** DDR SDRAM (双速率静态随机访问存储器); SSN (同步开关噪声); QFP (四方型扁平式封装); 比特重排

中图分类号: TN47 文献标识码: A 文章编号: 0372-2112 (2014)03-0583-04

电子学报 URL: <http://www.ejournal.org.cn> DOI: 10.3969/j.issn.0372-2112.2014.03.024

## A Bit-Rearrangement Based Method to Reduce SSN of DDR Interface in STB Chip Design

LIANG Jun<sup>1</sup>, YE Jian-bing<sup>2</sup>, WANG Hong-hai<sup>2</sup>, ZHANG Ming<sup>1</sup>

(1. Institute of Information and Communication Engineering, Zhejiang University, Hangzhou, Zhejiang 310027, China;

2. Hangzhou Nationalchip S&T Co., Ltd, Hangzhou, Zhejiang 310027, China)

**Abstract:** The SSN (Simultaneous Switching Noise) caused by parasitic inductance of low cost QFP (Quad Flat Package) package limits the DDR (Double Date Rate) interface data transfer rate of STB (Set Top Box) chip. This paper discusses the video data interdependency and DDR bus bit interchangeability, and proposes a bit-rearrangement method to reduce SSN of DDR interface. The video data used in STB chip has strong correlation in two space dimensions. Logic bits of DDR bus are physically interlaced according to specific algorithm during layout design phase, which makes spatial distribution of DDR output drive current more balanced. The balanced distribution decreases average current running through each pair of power/ground pin and reduces SSN accordingly. This method is applied in a HDTV (High Definition TeleVision) chip on TSMC (Taiwan Semiconductor Manufacturing Company) 55nm process. The DDR data transfer rate of the test chip in QFP package attains 1066Mbps.

**Key words:** DDR SDRAM (Double Data Rate Static Random Access Memory); SSN (Simultaneous Switching Noise); QFP (Quad Flat Package); bit rearrangement

## 1 引言

随着芯片技术的进步, DDR 的工作频率飞速发展. DDR 一代的最高数据传输速率是 400Mbps. 而 DDR 三代标准定义的最高数据传输速率达到 1600Mbps<sup>[1]</sup>.

QFP 封装是二十世纪 80 年代的技术. 由于引线间距小, 成本低并适用于表面安装, 在引脚数少于 200 的低速消费类芯片上 QFP 得到很大的应用<sup>[2]</sup>. 但是 QFP

封装由于引线长具有高电感特性. 典型 QFP 封装的寄生电感大约有 5 ~ 10nH<sup>[3]</sup>. QFP 封装会给 DDR 接口带来很大的 SSN 效应, 并导致芯片的 DDR 接口的传输速率无法提高. 这限制了高端消费类芯片如高清机顶盒芯片采用 QFP 的封装.

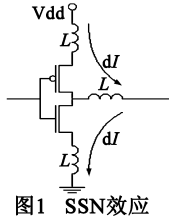
本文研究了 DDR 接口的 SSN 效应, 分析了机顶盒芯片访问 DDR 数据的内在相关性, 并提出了基于数据比特重排的减少 DDR 接口的 SSN 效应的方法. 本文提

出的方法成功用于 TSMC 55nm 工艺的高清机顶盒芯片设计. QFP 封装的样片的 DDR 接口速度达到 1066Mbps. 结果表明高端消费类芯片也可以使用 QFP 技术来降低产品成本.

## 2 DDR 接口的 SSN 效应

DDR 接口的 SSN 效应可以由图 1 表示. 封装的寄生效应可用电感表征, 如图 1 中的  $L$ . 由电感的感应电压式(1)可得 SSN 正比于电感值与变化电流, 反比于电流变化时间.

$$dv = L \frac{di}{dt} \quad (1)$$



在信号翻转过程中, DDR 接口的驱动器感受到的电压将是一个叠加 SSN 噪声的电压. SSN 噪声会引起输出波形发生恶化, 最终导致系统的时序余量减少, 系统稳定性降低.

根据式(1), 如果要减少 SSN, 可以用以下的方式:

(1) 减少封装电感. 在采用 BGA 等高阶芯片封装技术可以减少引线电感<sup>[4]</sup>. 由于物理结构的限制, QFP 封装无法减少封装寄生电感.

(2) 增加电流变化时间  $dt$ <sup>[5]</sup>. 由于  $dt$  决定了 DDR 信号的上升沿与下降沿的变化斜率. 增加电流变化时间, DDR 的时序余量将减少.

(3) 减少数据变化率. 通过编码技术将高跳变率的数据编码转换成低跳变率的编码. 然后将编码后的数据存储在 DDR 中. 当向 DDR 读取数据时, 再通过编码转换还原成原码供芯片内部使用. 编码通常会带来数据吞吐量的下降.

(4) 减少峰值电流. 通过数据编码, 可以降低 I/O 总线的翻转率, 最终减少 50% 的峰值电流, 并将功耗减少 25%<sup>[6]</sup>. 或增加芯片内的电容, 提高电源地/信号管脚数目比等<sup>[7]</sup>.

本文从第 4 种方法出发, 在不改变 DDR 接口总线的翻转率的情况下, 将信号翻转引发的电流平均分布于各电源地管脚, 使得通过单个电源地管脚的平均电流值减少, 从而减少 DDR 接口的 SSN 效应.

## 3 访问 DDR 的数据特征

机顶盒芯片工作时主要访问 DDR 的模块是图像解码器. 图像解码器将图像数据存储在 DDR 中. 解码器通常连续读写一行数据来提高 DDR 带宽利用率. 因此 DDR 接口传输的前后比特通常是图像相邻位置的数据.

图像数据的高比特位体现为图像的低频信息. 低比特位体现为图像的高频信息. 以图像处理中常用的

Lena 图为例, 如图 2(a) 所示. Lena 图为  $512 \times 512$  的 BMP 格式图. 在 Matlab 中将其转换为 8 比特量化的亮度信息. 图 2(b)~(i) 分别是其第 0 比特到第 7 比特二值图展开.

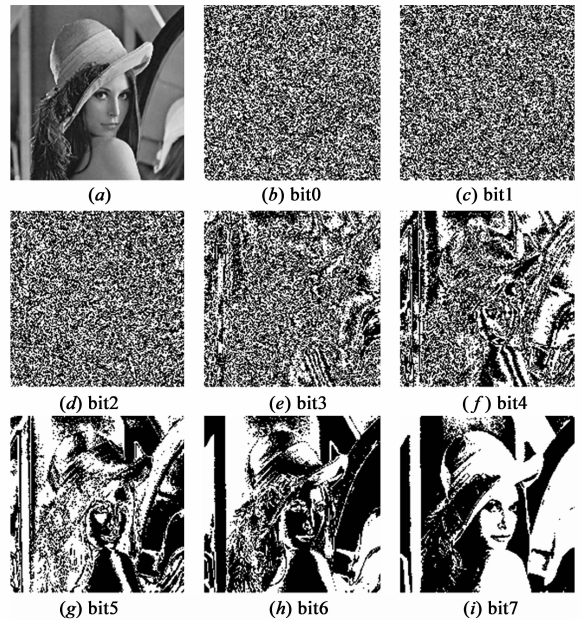


图2 Lena原图与比特展开

将亮度信息以行为单位展开成一维数组. 前后位置的数据按位异或提取翻转信息. 然后统计各比特位的翻转率. 结果见表 1. Matlab 程序如下:

```

p = imread('lena.bmp');
y = rgb2gray(p);
data = reshape(y, 1, []);
xor_data = bitxor(data, [data(2:end) data(1)]);
for i = 1:8
    rotate_rate(i) = sum(bitand(xor_data, 2^(i-1))/2^(i-1))/length(xor_data);
end

```

表 1 表明数据高低比特的翻转率很不均衡. 当 DDR 接口的数据比特按照逻辑顺序递增排列时, 这种不均衡导致电流在空间上的不均衡分布. 当 DDR 接口的电源地/信号管脚数目比是 1:2 时, 每 2 位数据比特共享 1 对电源地. 在比特重排前, 第 0, 第 1 比特数据接口的电流通过第 1 对电源地; 第 6, 第 7 比特数据接口的电流通过第 4 对电源地. 由于平均电流值正比于信号翻转率. 通过第 4 对电源地的平均电流是通过第 1 对电源地的平均电流的 7.9 倍.

## 4 比特位置无关性与数据比特重排

16 比特的 DDR 颗粒的数据位分别标记为 D0~D15. 低 8 比特和高 8 比特各有 1 比特的 DM 信号作为

写入使能<sup>[1]</sup>.在设计芯片的 DDR 接口时,可以将芯片内的低 8 比特的数据不按照逻辑顺序与 DDR 颗粒上的低 8 比特连接.如芯片的数据的第 7 位可与 DDR 颗粒的 D1 相连接.写时,第 7 比特保存到 DDR 颗粒的 D1.读时,芯片从 DDR 颗粒的 D1 中取出数据回送到第 7 比特,从而读到正确的值.即 DDR 具有低 8 比特内和高 8 比特内数据比特位置无关性.

表 1 比特翻转率

| 比特位 | 翻转率(%) |
|-----|--------|
| 7   | 4.22   |
| 6   | 8.25   |
| 5   | 14.14  |
| 4   | 25.33  |
| 3   | 37.69  |
| 2   | 47.41  |
| 1   | 49.39  |
| 0   | 49.57  |

利用 DDR 的数据比特位置无关性结合视频数据的比特位的翻转率不同的特点,可在 DDR 接口上将数据比特根据翻转信息重排空间位置来减少 SSN.比特重排的目标是让比特翻转率在空间上分布均衡.比特重排的算法如下:

(1)在低 8 比特内或高 8 比特内进行位置重排;低 8 比特与高 8 比特的数据位置不能交换.

(2)选定第 0 比特排在 DDR 的第 0 比特.

(3)选定第  $i$  比特;条件是第  $i$  比特令已挑选比特的翻转率的平均值与总比特翻转率的平均值的差的绝对值最小.

根据表 1 的 8 比特翻转率的单调性,一种有效的重排方式是低位与高位交错排列.如低 8 比特数据内按照 D0, D7, D1, D6, D2, D5, D3, D4 的顺序排列.

## 5 结果

DDR 接口经比特重排后,第 0,7 比特的电流通过第 1 对电源地;第 3,4 比特的电流通过第 4 对电流地.第 1 对电源地与第 4 对电源地通过的电流比降到 1.17. DDR 接口上的电流空间分布趋于平衡.

相邻翻转信号的数量是衡量 SSN 强度的关键指标.令一次翻转中的连续相邻比特同时翻转的最大的比特数目为最大相邻翻转数.如 010111011(1 表示翻转,0 表示不翻转)的最大相邻翻转数为 3.最大相邻翻转数标志信号翻转过程中 SSN 的严重程度.最大相邻翻转数越小,SSN 越小;最大相邻翻转数越大,SSN 越大.

分别统计原始数据的最大相邻翻转数的分布与经过比特重排后的数据的最大相邻翻转数的分布.表 2 是经过数据重排前后的最大相邻翻转数的统计分布.统计的 Matlab 程序如下:

```
function [result] = max1(x)
    s = dec2bin(x);
    try
        for i = 8:-1:1
            reg = sprintf('1|%d|', i);
            if (regexp(s, reg))
                throw
            end
        end
        result = 0;
    catch
        result = i;
    end
end
f = @(x) max1(x);
max_bit = arrayfun(f, xor_data);
function [result] = rearrange(x)
    for i = 1:8
        b(i) = bitand(x, 2^(i-1))/2^(i-1)
    end
    result = b(1) + b(8) * 2^1 + b(2) * 2^2 + b(7) * 2^3 +
        b(3) * 2^4 + b(6) * 2^5 + b(4) * 2^6 + b(5) * 2^7;
end
f_rearrange = @(x) max1(rearrange(x));
max_bit_rearrange = arrayfun(f_rearrange, xor_data);
tabulate(max_bit);
tabulate(max_bit_rearrange);
```

如原 8 比特的翻转情况是 00001111 时,最大相邻翻转数为 4,表明电流相对集中,接口的 SSN 较大.经过比特重排后的翻转情况是 10101010,最大相邻翻转数为 1,电流相对分散,接口的 SSN 较小.与此相反的情况是当原翻转情况是 10000001 时,最大相邻翻转数为 1.经过比特重排后的翻转情况是 11000000,最大相邻翻转数变为 2,SSN 情况反而而变得更严重了.由于图像数据的高比特翻转率远低于低比特的翻转率,导致大量的高相邻翻转数的数据通过比特重排转化成低相邻翻转数的数据,少量的低相邻翻转数的数据通过比特重排转化成高相邻翻转数的数据.最终形成最大相邻翻转数是 1 的数据出现概率增加到原来的 1.97 倍,而其它除了 0 与 8 外的最大相邻翻转数的数据出现概率减少的结果.

在比特重排前,第 1 对电源地管脚为第 0,第 1 比特提供电流通道,由表 1 可得平均通过的电流为

$(49.57\% + 49.39\%)d_i$ . 在比特重排后,第 1 对电源地管脚为第 0,第 7 比特提供电流通道,由表 1 可得平均通过的电流为  $(49.57\% + 4.22\%)d_i$ . 通过比特重排后第 1 对电源地管脚的平均电流减少到原来的 54%,SSN 也相应减少.

表 2 最大相邻翻转数统计

| 最大相邻翻转数 | 原始数据(%) | 比特重排后数据(%) | 重排后/原始数据 |
|---------|---------|------------|----------|
| 0       | 10.79   | 10.79      | 1.00     |
| 1       | 33.34   | 65.57      | 1.97     |
| 2       | 26.18   | 12.14      | 0.46     |
| 3       | 14.85   | 4.11       | 0.28     |
| 4       | 7.64    | 3.90       | 0.51     |
| 5       | 4.03    | 1.71       | 0.43     |
| 6       | 1.93    | 0.81       | 0.42     |
| 7       | 0.79    | 0.51       | 0.64     |
| 8       | 0.47    | 0.47       | 1.00     |

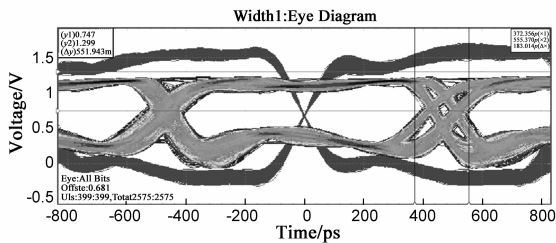


图3 实测的DDR眼图

## 6 结束语

低成本的 QFP 封装由于自身的高电感特性限制了其在消费类电子芯片中的应用. 本文根据机顶盒芯片视频数据的相关性,及 DDR 颗粒的数据比特位置无关性,提出对数据比特进行重排,将比特翻转率在空间上进行平均以减少 SSN 的方法. 这个方法能在不改变封装电感参数的前提下,有效减少 SSN,提高 DDR 接口的工作频率与系统的鲁棒性,使得机顶盒芯片能够充分利用 QFP 封装来降低成本.

本文提出的方法已成功应用于 TSMC 55nm 工艺的高清机顶盒芯片的设计. 样片的 DDR 接口传输速率达到 1066Mbps. 在 QFP 封装条件下实测的 DDR 写操作时的眼图,如图 3 所示. 眼图清晰,眼高与眼宽均达到设计要求.

## 参考文献

[1] JEDEC. DDR3 SDRAM Standard JESD79-3F [EB/OL]. <http://www.jedec.org/sites/default/files/docs/JESD79-3F.pdf>, 2012-06-01.

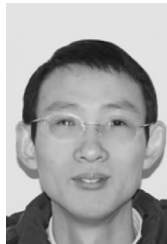
- [2] 高尚通,杨克武. 新型微电子封装技术[J]. 电子与封装, 2004,4(1):10-15.
- [3] JOU S J, KUO S H, CHIU J T, et al. Low switching noise and load-adaptive output buffer design techniques [J]. Solid-State Circuits, IEEE Journal of, 2001, 36(8):1239-1249.
- [4] KOH W. Memory device packaging—from leadframe packages to wafer level packages [A]. Proceeding of the Sixth IEEE CPMT Conference [C]. Shanghai, China: IEEE, 2004. 21-24.
- [5] TAKAHASHI N, SUMINAGA S, KAGAWA K, et al. Design practices and issues in controlling simultaneous switching noise [A]. Proceedings of the 7th Electronic Packaging Technology Conference [C]. Singapore: IEEE, 2005. 6-10.
- [6] STAN M R, BURLESON W P. Bus-invert coding for low-power I/O [J]. Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, 1995, 3(1):49-58.
- [7] HSU J, YANG S, GUO W D, et al. High-speed parallel interface implementation with low-cost system solution by using signal integrity factorial design [A]. Proceedings of the 60th Electronic Components and Technology Conference [C]. Nevada: IEEE, 2010. 1900-1905.

## 作者简介



梁 骏 男, 1978 年 7 月出生于浙江省临海市. 现为浙江大学信息与通信工程研究所博士研究生. 主要研究方向为高速电路设计、芯片可测试设计、系统芯片设计与验证等.

E-mail: justin. w. liang@gmail. com



叶剑兵 男, 1975 年 12 月出生于浙江省杭州市. 1998 年毕业于西安理工大学. 现为杭州国芯科技股份有限公司工程师, 主要研究方向为高速电路设计.

E-mail: yejb@nationalchip. com

王洪海 男, 1978 年 4 月出生于浙江省诸暨市. 2007 年毕业于中国人民解放军国防科学技术大学, 硕士. 现为杭州国芯科技股份有限公司工程师, 主要研究方向为芯片版图设计.

E-mail: wanghh@nationalchip. com

张 明 男, 1962 年 12 月出生于浙江省诸暨市. 现为浙江大学信息与通信工程研究所教授、博士生导师. 从事数字音视频处理与三维电视技术、系统芯片设计技术方面的研究工作.

E-mail: zhangm@zju. edu. cn